

M
E
N
U[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)[First Hit](#)

Generate Collection

L3: Entry 2 of 4

File: JPAB

Feb 4, 1987

PUB-NO: JP362026548A

DOCUMENT-IDENTIFIER: JP 62026548 A

TITLE: MEMORY CONTROLLER

PUBN-DATE: February 4, 1987

INVENTOR-INFORMATION:

NAME

COUNTRY

MIYAKE, SHOJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

YOKOGAWA ELECTRIC CORP

APPL-NO: JP60165487

APPL-DATE: July 26, 1985

INT-CL (IPC): G06F 12/04

ABSTRACT:

PURPOSE: To realize a memory controller for executing quickly processing by executing memory access of a bit boundary and memory access of a word boundary by the same operation.

CONSTITUTION: In case of writing data to a state that is has been shifted by (m) bits from a word boundary, (m) is read in a latch 1 through a data bus. By this value, a selector 7 operates an address multiplexer 6, and in a memory 2, (n) address and (n)+1 address are inputted as an address from a part and part of the remaining part, respectively. Next, a decoder 4 operates a data multiplexer 3 by a value of the latch 1, executes a selection of a data bit of each memory, and data on data bus is read. Accordingly, when an operation for writing data once is executed, the data is written on a bit boundary, and the operation can be executed by the same method as memory access of the word boundary.

COPYRIGHT: (C)1987,JPO&Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

⑫ 公開特許公報(A) 昭62-26548

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)2月4日

G 06 F 12/04

6711-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 メモリ制御装置

⑯ 特 願 昭60-165487

⑰ 出 願 昭60(1985)7月26日

⑱ 発 明 者 三 宅 正 二 武蔵野市中町2丁目9番32号 横河北辰電機株式会社内

⑲ 出 願 人 横河電機株式会社 武蔵野市中町2丁目9番32号

⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 発明の名称

メモリ制御装置

2. 特許請求の範囲

ビットバウンダリなメモリアクセスを行うようにしたメモリ制御装置であって、

アドレス信号を入力し当該アドレス信号の隣りのアドレスをアクセスするためのアドレス信号を発生する+1アダプ手段と、

前記アドレス信号(n 番地)と+1アダプ手段からのアドレス信号($n+1$ 番地)とを入力し、いずれかの番地を選択するためのアドレスマルチプレクサと、

このマルチプレクサからのアドレス信号が与えられるメモリと、

データを入力しデータビットを選択して前記メモリに与えるデータマルチプレクサと、

前記データのビットバウンダリ量に応じて前記アドレスマルチプレクサ及びデータマルチプレクサを制御するコントロールロジック

とを備えたメモリ制御装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、メモリにアクセスしてデータの書き込み/読出をするメモリ制御装置に関し、特にビットバウンダリ・メモリアクセスを高速度に行うようにしたものである。

(従来の技術)

第5図はビットバウンダリ・メモリアクセスの説明図である。1つの単位として8ビットバイトデータがあり、これに対応して番地が付与されている。1つのデータは8ビットバイトで表現される。ビットバウンダリ・メモリアクセスでは、データが n 番地と($n+1$)番地に記録されているために、 n 番地のデータと($n+1$)番地のデータに2回アクセスする必要がある。

第5図(a)は n 番地のデータAと、($n+1$)番地のデータBを示している。このようなメモリにデータaを m ビット分だけずらしてビットバウンダリに書き込む場合には、次の如く処理される。

- (a) n 番地のデータAを第1のアクキュムレータにロードする。
- (b) 第1のアクキュムレータの下位 $(8-m)$ ビットをクリアする。
- (c) データBを第2のアクキュムレータにロードする。
- (d) 第2のアクキュムレータを m ビット右シフトする。
- (e) 第1及び第2のアクキュムレータ間の論理和をとる。
- (f) (e)の結果を n 番地へ書き込む。
- (g) $(n+1)$ 番地についても、(a)~(f)に準じた処理を行なう。

通常の語境界の書き込みはアクキュムレータとメモリとの一回の連取りで済むから、ビットバウンダリアクセスは時間を大幅に要することが了解される。

このようなビットバウンダリ・メモリアクセスは画像・図形や文字処理に適用されることが多い。画像はビットマップメモリと呼ばれる、メモリの

ウナダリなメモリアクセスを行うようにしたメモリ制御装置であって、アドレス信号を入力し当該アドレス信号の周りのアドレスをアクセスするためのアドレス信号を発生する $+1$ アダプ手段と、前記アドレス信号(n 番地)と $+1$ アダプ手段からのアドレス信号($n+1$ 番地)とを入力し、いずれかの番地を選択するためのアドレスマルチプレクサと、このマルチプレクサからのアドレス信号が与えられるメモリと、データを入力しデータビットを選択して前記メモリに与えるデータマルチプレクサと、前記データのビットバウンダリ量に応じて前記アドレスマルチプレクサ及びデータマルチプレクサを制御するコントロールロジックとを備えたものである。

(実施例)

以下図面を用いて本発明を説明する。

第1図は本発明の一実施例を示すブロック図である。図において、1はデータを取込んで保持するラッチで、ビットバウンダリに関する情報を保持する。2はデータを記憶するメモリで、データ

1ドットと画像の一面素(ピクセル)とが1対1に対応したものが採用されている。このようなビットマップメモリにおいて、特定の図形や文字を僅かに移動するため(例えば1ドット分移動する)にビットバウンダリ・メモリアクセスが用いられる。

(発明が解決しようとする問題点)

しかしながら、画像処理においては対象とするメモリ数(面素数)が多いので、従来例の如くソフトウェアで処理すると処理時間が増大し、マシンインターフェースが悪くなる問題点があった。

またビットスライスプロセッサを用いてビットバウンダリ・メモリアクセスを高速化することも行われるが、構成が複雑になる問題点があった。

本発明は上記の問題点を解決したもので、ビットバウンダリなメモリアクセスと語境界のメモリアクセスとを同一の操作で行なうことにより処理の早いメモリ制御装置を実現することを目的とする。

(問題点を解決する手段)

このような目的を達成する本発明は、ビットバ

のビット数に応じたビット数を少なくとも有するとともに少なくともデータサンプル数に対応したアドレスを有している。3はラッチ1で保持されたデータに応じて動作するデータマルチプレクサで、データバス上のデータを入力し、データビットを選択してメモリ2に与える。4はラッチ1の保持するデータをデータマルチプレクサ3に送るデコーダで、データをデータマルチプレクサ3の動作に適するように変換する。

5はアドレスバスの n 番地の信号について隣接した $(n+1)$ 番地の信号を発生するアダプ($+1$ アダプ手段)、6はアドレスバスの n 番地の信号とアダプ5の信号とが入力されたアドレスマルチプレクサで、メモリ2のいずれのアドレスの位置にアクセスするかを定める。アドレスマルチプレクサのアドレス信号はメモリ2に与えられる。7はラッチ1に保持されたデータに応じて動作するセレクタで、アドレスマルチプレクサ6を制御して所定のビットバウンダリを満足するようにアドレスを定める。尚、ラッチ1、デコーダ4及びセ

レクタ7はコントロールブロックを構成している。

第2図は、第1図の装置の具体例を示す構成ブロック図である。尚第2図において前記第1図と同一作用をするものには同一符号をつけ説明を省略する。図において接続線に単一の短い斜線を付すとともに1, 3, 8又はnの記号をつけたものは、当該接続線が1本, 3本, 8本又はn本よりなることを示している。

図においてデータは8ビット、アドレスはnビットで構成されている。20~27はメモリ2のある1ビットを1データ分に対応する8ビット分送戻して扱われたもので、20~27に対応して0ビットから7ビットまでを割当てる。30~37はメモリ20~27に対応して設けられたデータマルチプレクサで、データマルチプレクサ3の詳細をあらわしたものである。60~67はメモリ20~27に対応して設けられたアドレスマルチプレクサで、アドレスマルチプレクサ6の詳細をあらわしている。

ラッチ1にはデータバスの8本の接続線のうち3本が接続され、この3本によってビットパウン

ダリ・メモリアクセスに必要なビット情報をあらわしている。デコーダ4及びセクタ7は3ビットのデータをデコードし、8本の接続線を介してマルチプレクサ30~37, 60~67を後述する関係となるように駆動する。ラッチ1はチップセクタの信号によって、データバス上に必要なビットパウンダリに関する情報が存在していることを知り、データを取込む。メモリ2に書込むべきデータがデータバス上にあるときは、チップセクタの信号は変化せずラッチ1はデータを元の状態に保持する。

第3図は本発明に係る装置の動作を説明したもので、(a)はラッチ1とデータマルチプレクサ30~37の関係、(b)はラッチ1とアドレスマルチプレクサ60~67の関係を示したものである。

第3図(a)は縦方向にデータマルチプレクサ30~37を、横方向にデコーダ4から供給される入力信号を示し、欄内にはマルチプレクサがデータバス上のデータの何ビット目をメモリに送るかを示している。例えば入力信号として3が選択されると、

マルチプレクサ30 (MUX-0) はデータバス上のデータの8ビット中の第5ビットをメモリ20に送る。

第3図(b)は横方向にアドレスマルチプレクサ60~67を、縦方向にセクタ7から供給される入力信号を示し、欄内にはマルチプレクサがアドレスバスのデータをそのまま送るか、アダー5のデータを送るから示している。例えば入力信号として3が選択されると、メモリ60~62にはアダー5のアドレス信号、メモリ63~67にはアドレスバスの信号が接続される。

第4図は本発明の装置の動作の具体例を示す説明図である。この場合、語境界より3ビットずれた状態に書込むので、I/Oマップされたラッチ1にデータバスを介して「3」を出力し、チップセクタを操作してラッチ1に読込ませる。これ以後、メモリ60~62には(n+1)番地が、メモリ63~67にはn番地がアドレスとして入力される。この選択はセクタ7によってなされる。また各メモリ60~67のデータビットの選択はデコーダ4によってなされる。データ「3」がラッチされて

いるので、メモリ60~62には5~7がそれぞれ対応し、メモリ63~67には0~4がそれぞれ対応し、データバス上のデータが読込まれる。

このようにアドレス・データラインが選択されているから、n番地にデータAを一回書込む操作をすれば、第4図の如くビットパウンダリにデータAが書込まれる。即ち、まず最初にビットパウンダリ量を出力することを除くと、通常の語境界のメモリアクセスと同一の方法で操作できる。

尚上記実施例では8ビットデータ幅の場合を示したが、本発明はこれに限定されるものではなく、16ビットでも32ビットでも良く、他の任意のビット長であってもよい。

(発明の効果)

以上説明したように本発明によれば、デコーダ4、アダー5及びセクタ7を用いてビットパウンダリ量を設定できるので、通常の語境界のメモリアクセスと同じ方法で実行でき、処理時間が短くなる。

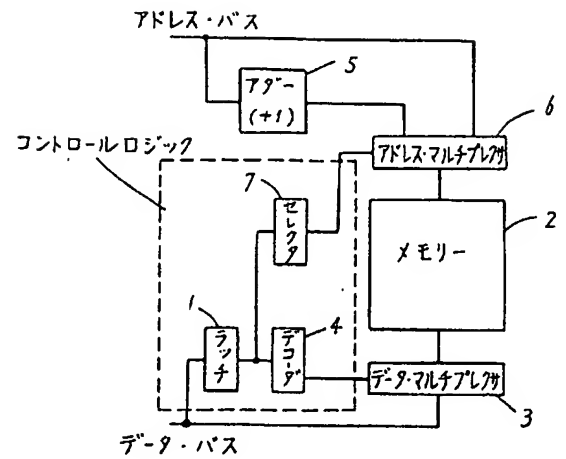
4 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は第1図の装置の具体例を示す構成ブロック図、第3図は動作説明図、第4図は動作の具体例の説明図、第5図はビットバウンダリ・メモリアクセスの説明図である。

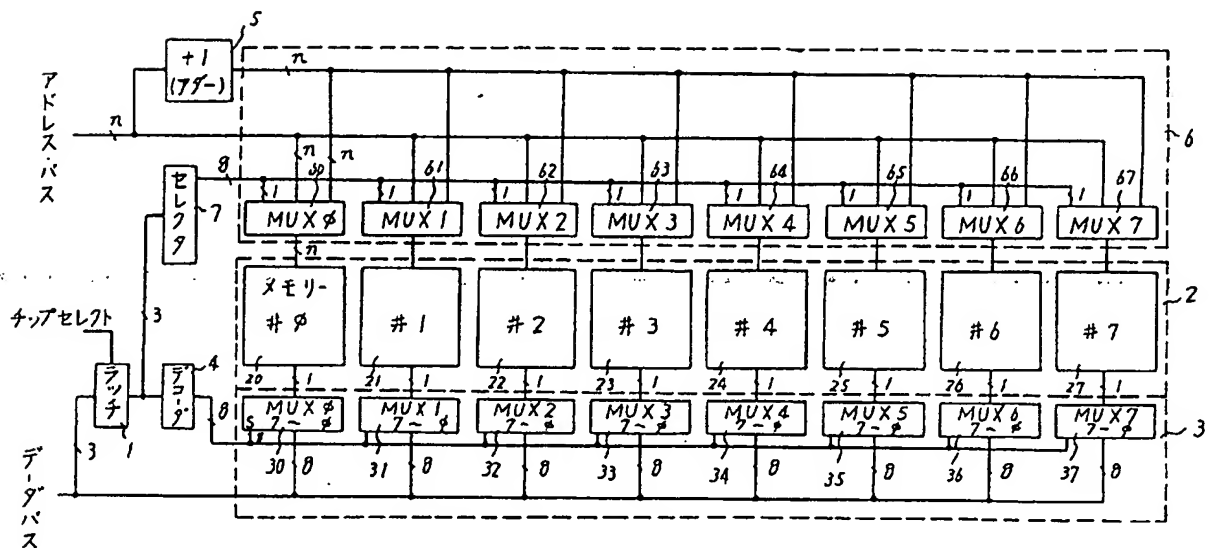
1…ラッチ、2…メモリ、3…データマルチプレクサ、4…デコーダ、5…アダー(+1アド手段)、6…アドレスマルチプレクサ、7…セレクタ。

代理人 弁理士 小 沢 信 助

第 1 図



第 2 図



第 3 図

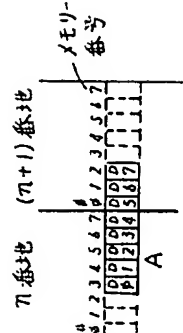
(a)

$\lambda \backslash h$	\emptyset	1	2	3	4	5	6	7
MUX \emptyset	0	7	6	5	4	3	2	1
MUX1	1	0	7	6	5	4	3	2
MUX2	2	1	0	7	6	5	4	3
MUX3	3	2	1	0	7	6	5	4
MUX4	4	3	2	1	0	7	6	5
MUX5	5	4	3	2	1	0	7	6
MUX6	6	5	4	3	2	1	0	7
MUX7	7	6	5	4	3	2	1	0

(b)

$\lambda \backslash h$	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0
2	2	1	1	0	0	0	0	0
3	3	1	1	1	0	0	0	0
4	4	1	1	1	1	0	0	0
5	5	1	1	1	1	1	0	0
6	6	1	1	1	1	1	1	0
7	7	1	1	1	1	1	1	1

第 4 図



第 5 図

